



Themengebiet Open Source FPGA Toolchain

Field Programmable Gate Arrays (FPGAs) sind Chips deren logische Schaltung veränderbar ist. Die logische Schaltung wird in einer Hardwarebeschreibungssprache (z.B. Verilog) definiert und durch eine Toolchain in eine entsprechende Konfiguration für den FPGA überführt.

Die herstellereigenen Toolchains stellen für die Forschung eine Herausforderung dar, da sie nicht nachvollziehbar und kaum modifizierbar sind. Alternative Open Source Toolchains stellen für einzelne Modelle die zwingend notwendigen Werkzeuge und Funktionen zur Verfügung, allerdings fehlen oft noch nützliche Hilfswerkzeuge und -funktionen, um einen effizienten Einsatz zu gewährleisten.

Für eine Bachelorarbeit wird ein Hilfswerkzeug erstellt oder ein bestehendes Werkzeug um eine Funktion erweitert. Da sich die Toolchains kontinuierlich weiterentwickeln und die Anforderungen der Forschung dynamisch sind, wird das konkrete Werkzeug erst zum Zeitpunkt der Bewerbung bestimmt. Ein Beispiel für eine konkrete Ausschreibung findet sich unten.

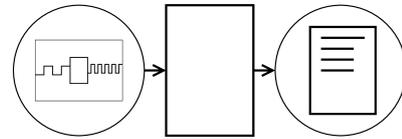
Die schriftliche Ausarbeitung kann auf Deutsch oder Englisch verfasst werden.

Anforderungen:

- Grundkenntnisse im Programmieren mit Python

Ansprechpartner:

Clemens Fritzsch
Paulinum, Raum P522
fritzs@informatik.uni-leipzig.de



Realisierung eines Konfigurationsgenerators für Frequenzsyntheseblöcke

Field Programmable Gate Arrays (FPGA) sind integrierte Schaltkreise, deren logische Funktionen geändert werden können. Moderne FPGAs wie der Artix-7 enthalten zusätzlich vordefinierte Funktionsblöcke, zum Beispiel zur Frequenzsynthese.

Da das Bestimmen der Parameter zur Konfiguration der Frequenzsyntheseblöcke sehr aufwendig ist, wird dazu normalerweise Software eingesetzt. Allerdings senkt die Nutzung der Software der FPGA-Hersteller die Reproduzierbarkeit wissenschaftlicher Ergebnisse. Alternative Open-Source-Stacks beinhalten bisher keine Software zur Parameterbestimmung der Frequenzsyntheseblöcke des Artix-7 FPGAs.

Im Rahmen der Bachelorarbeit soll ein kommandozeilenbasierter Konfigurationsgenerator für die Frequenzsyntheseblöcke des Artix-7 FPGAs entwickelt werden. Aus den gewünschten Eingangs- und Ausgangssignalen (Frequenz, Phase, Tastverhältnis usw.) erzeugt dieser die passenden Parameter für den Frequenzsyntheseblock, ggf. gleich in Form von Verilog-Code. Der Konfigurationsgenerator soll in Python implementiert werden.

Die schriftliche Ausarbeitung kann auf Deutsch oder Englisch verfasst werden.

Anforderungen:

- Grundkenntnisse im Programmieren mit Python

Ansprechpartner:

Clemens Fritzsch
Paulinum, Raum P522
fritzsch@informatik.uni-leipzig.de